

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.

S.63-204753

Laid-Open

S.63 (1988) August 24

Application No.: S.62-38625

Filed: S.62 (1987) February 20

Applicant: Nitto Denko Corporation
1-1-2 Shimohozumi, Ibaraki-shi, Osaka

Inventors: Tatsushi Ito
Nitto Denko Corporation
1-1-2 Shimohozumi, Ibaraki-shi, Osaka

Hideto Suzuki
Nitto Denko Corporation
1-1-2 Shimohozumi, Ibaraki-shi, Osaka

Attorneys, Agent: Masahiko Saito

TITLE OF THE INVENTION

Semiconductor device

WHAT IS CLAIMED

CLAIM 1

A semiconductor device, in which the semiconductor element installed on the die pad of the lead frame is resin-sealed with a thermosetting resin, characterized in that the die pad is smaller than the bottom surface of the semiconductor element.

CLAIM 2

A semiconductor device, as stated in claim 1, in which the semiconductor element is plate-shaped with a bottom surface area of 60 mm^2 to 400 mm^2 , the semiconductor element die pad installation area is 4 mm^2 to 16 mm^2 , and the sealed-package thickness with the thermosetting resin is 1.5 mm to 4.0 mm.

DETAILED DESCRIPTION OF THE INVENTION

Scope of Utilization in Industry

This invention pertains to a semiconductor device that has good tolerance to solder thermal shock.

Prior Art

A resin-sealed semiconductor device is generally manufactured through a series of processes such as die bonding of the semiconductor element to the die pad of the lead frame, wire bonding, resin sealing, tie-bar cutting,

and pin bending. A typical example of this type of resin-sealed semiconductor device is the DIP (dual inline package), which is installed on the substrate by inserting pins located on both sides of the package. However, to increase the installation density, flat packages or PLCCs (plastic leaded chip carriers) have been used recently to replace DIP packages. These packages are installed by direct soldering to the substrate surface. Solder immersion or vapor-phase soldering, etc. is done, then the entire package is exposed to high temperature during installation. Therefore, these packages must be highly tolerant to solder thermal shock.

Recently, chips have become larger and packages thinner. The chip size may now be 100 mm² or more. When such a large chip is packaged in a flat package or PLCC package, they are left exposed to air for several hours, and surface mounting is done by a method such as solder immersion. In such cases, package cracks frequently occur, thus the tolerance to humidity after installation is greatly degraded.

Problems to be Solved by the Invention

As described above, when using a flat or PLCC package, the package must be tolerant to solder thermal shock. However, as chip sizes become larger and packages become thinner, package cracks occurs more often during surface mounting by, for example, solder immersion. A solution to this problem is desired.

This invention aims to solve this problem by providing a semiconductor device that is highly tolerant to solder thermal shock.

Means for Solving the Problems

To achieve the above goal, the die pad is smaller than the bottom surface of the semiconductor element in the

semiconductor device of this invention, in which resin sealing is done by using a thermosetting resin when the semiconductor element is installed on the die pad of the lead frame.

The causes of package cracking at surface mounting of flat and PLCC packages were studied. The package cracking was due to a high concentration of water vapor, and to package swelling caused by the sealing resin being pushed to the bottom surface from the die pad. Further studies revealed that when the die-pad surface area is smaller than the silicon-chip bottom area, the concentration of water vapor within the sealed resin is lower, and package cracking is suppressed, thus leading to this invention.

This invention is particularly effective for semiconductor devices with a flat semiconductor element, bottom area is 60 mm^2 or more, namely 60 mm^2 to 400 mm^2 , and whose sealed package thickness is 1.5 mm to 4.0 mm. When the dimensions of the semiconductor-device die pad's semiconductor-element-installation area is 16 mm^2 or less, namely 4 mm^2 to 16 mm^2 , the expansion of the bottom area during solder heating of the silicon chip is prevented, thus suppressing package cracking.

This invention is not restricted to the surface mount packages such as the flat and PLCC packages, and can also be applied to DIP packages.

The epoxy-resin composition includes a silane compound, such as a silane coupling material introduced within the molecular structure by pre-reaction, a phenolic resin (an epoxy-resin-hardening material), and a hardening accelerator to make it effective in preventing package cracks. When such a resin is used, the adhesive strength between the sealed resin and the chip is 0.5 kg/mm^2 or more, and that between the sealed resin and the lead frame is 0.2 kg/mm^2 , thus effectively improving the tolerance to solder heat.

The epoxy resin that can be used is not restricted, and various conventional sealing resins for semiconductor devices, such as cresol novolak, phenol novolak, and bisphenol A, can be used. A resin whose fusing point

exceeds room temperature, and which becomes a solid or a high-viscosity solution below room temperature, should be used. An alkylation phenol novolak epoxy resin, in which various alkyl groups, such as tert-butyl groups and methyl groups are added to the phenol part, is generally used. A novolak epoxy resin with an epoxy equivalent of 160 to 300 and a softening point of 50 to 130°C is used as a novolak epoxy resin, and the typical cresol novolak epoxy resin.

The phenol resin used with the epoxy resin acts as an epoxy-resin softener, and an alkyl-phenol novolak-resin, where alkyl groups such as phenol novolak, cresol novolak, and others of the tert-butyl group's alkyl group are added to the phenol part, should be used. A novolak resin with a softening point of 50 to 110°C and a hydroxyl group equivalent of 70 to 180 should be used.

Various conventional hardening accelerators can be used alone or in combinations. Tertiary amine, quaternary ammonium salt, imidazole, and boron compound (listed below), are examples of these hardening accelerators.

Tertiary amine: triethanolamine, tetramethylhexanediamine, triethylendiamine, dimethylaniline, dimethylaminoethanol, dimethylethylaminoethanol, 2, 4, 6-(dimethylaminomethyl) phenol, N, N'-dimethylmethyldipiperazine, pyridine, picoline, 1, 8-diazabicyclo (5, 4, 0) undecane-7, benzildimethylamine, 2-(dimethylamino) methylphenol

Quaternary ammonium salt: dodecyltrimethyl-ammonium-iodate, cetyltrimethyl-ammonium-chloride, benzyldimethyl-tetrabutyl-ammonium-chloride, stearyltrimethyl-ammonium-chloride

Imidazole: 2-methylimidazole, 2-undecylimidazole, 2-ethylimidazole, 1-benzyl-2-methylimidazole, 1-cyanoethyl-2-undecylimidazole

Boron compound: Tetraphenylboron, tetraphenylborate, N-methylmorpholinetetraphenylborate

In addition to the materials above, a mold-releasing agent, an inorganic filler, antimony trioxide, a flame retardant such as a phosphorus compound, a silane compound such as a silane coupling agent, a pigment, and polysiloxane can be used.

For the sealing resin of this invention, as described earlier, a silane compound such as a silane coupling agent is pre-reacted, and the epoxy resin and the phenol resin are modified beforehand so that they can be used as the main constituents of the epoxy resin. However, the silane-modification epoxy resin, the phenol resin, and the silane compound (such as the silane coupling agent) can be combined as required, and in such a case, the combined silane compound then used to process the inorganic filler.

The mold-releasing agent, can be a conventional long-chained carboxylic acid such as stearic acid, a long-chained carboxylic-acid metal salt such as palmitic acid, stearic-acid zinc, stearic-acid calcium, or a wax such as carnauba or montan wax.

The inorganic filler is not restricted, and conventional fused silica powder, talc, silica powder, or alumina powder can be used as required.

As described earlier, the epoxy and phenol resins, which are the main constituents of the epoxy resin used for sealing, are pre-reacted with a silane compound such as a silane coupling agent, and thus modified to achieve strong adherence through cross-linking via oxygen of the silicon of the semiconductor chip and the silicon in the sealed resin.

As the compound for modification, a silane compound with a functional group such as an amino group, a mercapto group, a glycidol group, a hydroxyl group, or a carboxyl group can be used.

Other examples of silane compounds are listed below.

- (1) N-(2-aminoethyl)3-aminopropylmethyldimethoxydisilane
- (2) N-(2-aminoethyl)3-aminopropyltrimethyloxydisilane
- (3) 3-aminopropyltrimethyloxydisilane
- (4) 3-aminopropylmethyldiethoxydisilane
- (5) 3-glycidoxypropyltrimethyloxydisilane
- (6) 3-glycidoxypropylmethyldimethoxydisilane
- (7) 2-(3, 4-epoxycyclohexyl) ethyltrimethyloxydisilane
- (8) 3-mercaptopropyltrimethyloxydisilane

Silane compounds (1), (2), (3), (4), and (8) can be used to modify the epoxy resin, and (1) to (7) can be used to modify the phenol resin.

The pre-reaction at modification should be done at a temperature above the softening point of the epoxy resin or the phenol novolak resin, which is 130 to 170°C. The amount of silane compound used for the pre-reaction should be 0.03 to 15 weight% (abbreviated as % hereafter). If the amount is outside this range, it is difficult to obtain any advantage. The preferred range is 0.15 to 3.0%.

Through the above, the adherence between the sealed resin and the semiconductor chip can be greatly improved. To further relax the stress at high temperature, a sealed resin with a bending elastic modulus of 50 to 300 ks/mm² at 170°C should be used.

Advantages of the Invention

Since the die pad on which the semiconductor element is installed is smaller than the bottom surface of the semiconductor element, the resistance against thermal shock from the solder immersion during surface mounting is high, and the humidity tolerance is not degraded after surface mounting. In other words, due to this simple structure, the semiconductor device of this invention is made highly tolerant to solder thermal shock, and its application is very practical. Next, the embodiment is described with comparison examples.

Embodiments 1 to 7

Figures 1 and 2 show the semiconductor device, which has a lead frame with the die pad size shown in table 1, on which the semiconductor element with the chip size shown in table 1 is installed. The sealing resin with the composition shown in the table is used, and the resin is

sealed by molding at 175°C for two minutes. Hardening is done also at 175°C for five hours. In the figures, item 1 shows the package, item 2 the hanging pin, item 3 the chip, and item 4 the die pad. The package-cracking measurements of the semiconductor device are shown in table 1, and all embodiments showed good results.

The flat package was used for embodiments 1 to 4, and the DIP package was used for embodiments 5 to 7.

A push-pull gauge was used to measure the chip's adhesive strength, and the results are given as the shear adhesive strength under a typical temperature. The package-cracking was evaluated by moisture-absorption testing at 85°C/85%RH for 48 hours of the molding, and by solder immersion for 10 seconds at 215°C. Results are shown in table 2.

Comparison Examples 1 to 4

The samples of semiconductor devices shown in figures 3 and 4, in which the conventional die pad was used as the lead frame, which was larger than the chip as shown in table 2, were created to correspond to embodiments 1 to 4. In the figure, item 1 shows the package, item 2 the hanging pin, item 3 the chip, and item 4 the die pad. Table 2 shows the results of the performance tests applied to these samples as described in the embodiments section.

Table 2 clearly shows that package cracking was much more common in the conventional examples compared to the embodiments.

BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 shows the flat view of an embodiment of this invention, figure 2 shows the cross-sectional view of an embodiment of this invention, figure 3 shows the flat view of a conventional example, and figure 4 shows the cross-sectional view of a conventional example.

- 1: Package
- 2: Hanging pin
- 3: Chip
- 4: Die pad

Table 1

(a)		1	2	3	4	5	6	7
(b)	W *1	14	14	14	14	14	14	14
	L *2	20	20	20	20	20	20	20
	T *3	2.3	2.0	2.0	2.3	3.0	3.0	3.0
(c)		4×4	4×4	5×5	5×5	3×5	3×3	3×5
(d)		9×9	10×10	8×8	9×9	5×15	5×15	4.5×14
(e)		HP-150SG *4	HP-75 *4	HP-10 *4	HP-10	HP-75	HP-150SG	HP-10
(f)	(g)	>0.5	>0.5	0.2	0.2	>0.5	>0.5	0.2
	(h)	>0.2	0.1	>0.2	>0.2	0.1	>0.2	0.1
	(i)	0/10	2/10	1/10	2/10	2/10	0/10	1/10

*1: Width, *2: Length, *3: Thickness

*4: Epoxy-resin composite material manufactured by Nitto Denko Corporation

(a) Embodiments

(b) Package size (mm)

(c) Die pad size W x L (mm)

(d) Chip size W x L (mm)

(e) Sealing resin

(f) Adherence strength

(g) Resin - chip

(h) Resin - lead

(i) Package cracking

Table 2

(a)		1	2	3	4
(b)	W	14	14	14	7.5
	L	20	20	20	22
	T	2.3	2.0	2.3	3.0
(c)		11×11	8×8	9.5×9.5	5×15
(d)		9×9	7.8×7.8	9×9	4.8×14.8
(e)		HP-150SG	HP-10	HP-75	HP-150SG
(f)	(g)	>0.5	0.2	>0.5	>0.5
	(h)	>0.2	>0.2	0.1	>0.2
	(i)	9/10	10/10	10/10	8/10

- (a) Comparison examples
 (b) Package size (mm)
 (c) Die pad size W x L (mm)
 (d) Chip size W x L (mm)
 (e) Sealing resin
 (f) Adherence strength
 (g) Resin - chip
 (h) Resin - lead
 (i) Package crack

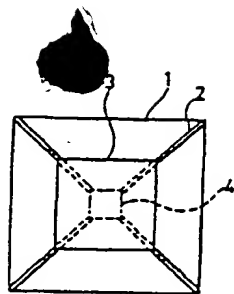


Figure 1

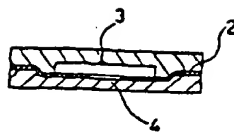


Figure 2

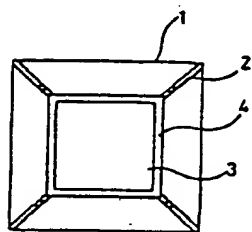


Figure 3

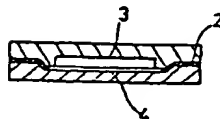


Figure 4

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭63-204753

⑮ Int.Cl.⁴

H 01 L 23/50
21/52
23/28

識別記号

庁内整理番号

U-7735-5F
A-8728-5F
A-6835-5F

⑬ 公開 昭和63年(1988)8月24日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭62-38625

⑰ 出 願 昭62(1987)2月20日

⑱ 発 明 者 伊 藤 達 志 大阪府茨木市下穂積1丁目1番2号 日東電機工業株式会
社内
⑲ 発 明 者 鈴 木 秀 人 大阪府茨木市下穂積1丁目1番2号 日東電機工業株式会
社内
⑳ 出 願 人 日東電機工業株式会社 大阪府茨木市下穂積1丁目1番2号
㉑ 代 理 人 弁理士 西 藤 征 彦

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) リードフレームのダイパッド上に半導体素子が設置された状態で熱硬化性樹脂により樹脂封止された半導体装置において、ダイパッドが半導体素子の底面よりも小形に形成されていることを特徴とする半導体装置。

(2) 半導体素子が平板状をしていてその底面の面積が $60\text{mm}^2 \sim 400\text{mm}^2$ であり、ダイパッドの半導体素子設置面の面積が $4\text{mm}^2 \sim 16\text{mm}^2$ であり、かつ熱硬化性樹脂による封止パッケージの厚みが $1.5\text{mm} \sim 4.0\text{mm}$ に設定されている特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、耐半田熱衝撃性に優れた半導体装置に関するものである。

(従来の技術)

一般に、樹脂封止型の半導体装置は、リードフレームのダイパッド上への半導体素子のダイボンディング、ワイヤーボンディング、樹脂封止、タイバークット、ピン曲げという一連の工程を経由して製造される。この種の樹脂封止型半導体装置の典型例は、DIP(デュアルインラインパッケージ)形のものであり、パッケージの両側に配設されたピンを挿入することにより基板に実装される。しかしながら、最近では、実装密度を高くするため、DIPタイプのパッケージではなくフラットパッケージやPLCC(プラスチックリードオフセットチップキャリア)形のパッケージがなされるようになっている。このようなタイプのパッケージは、基板面に対して直接半田接合により実装されるものであり、その実装に際しては、半田浸漬やペーパーフェーズソルダリング等が行われ、パッケージ全体が実装時に高温にさらされる。したがって、このようなパッケージにおいては、特に耐半田熱衝撃性に優れていることが要求される。

最近では、チップの大形化ならびにパッケージ

の薄形化が試みられており、なかにはチップサイズが 100mm^2 以上に達するものもある。このような大形のチップを、先に述べたようなフラットパッケージやPLCCでパッケージングする場合、パッケージングしたのち、通常の雰囲気下で数時間放置し、ついで、例えば半田浸漬によつて表面実装を行うと、パッケージクラックが多発し、実装後の耐湿性が著しく低下するという現象が生じている。

(発明が解決しようとする問題点)

このように、フラットタイプやPLCC等のタイプのパッケージングを行う場合には、パッケージ自体に耐半田熱衝撃性を備えていることが要求されているが、チップサイズが大形化し、しかもパッケージが薄形化している現状では、半田浸漬等の表面実装時に、先に述べたようなパッケージクラックが多発するというような問題が生じており、これの早急な解決が望まれている。

この発明は、このような事情に鑑みなされたもので、耐半田熱衝撃性に優れた半導体装置の提供

をその目的とする。

(問題点を解決するための手段)

上記の目的を達成するため、この発明の半導体装置は、リードフレームのダイパッド上に半導体素子が設置された状態で熱硬化性樹脂により樹脂封止された半導体装置において、ダイパッドを半導体素子の底面よりも小形に形成するという構成をとる。

すなわち、本発明者らは、上記フラットパッケージ、PLCC等の表面実装時におけるパッケージクラックの発生原因について一連の研究を重ねた。その結果、表面実装時における半田加熱により、封止樹脂とダイパッドとの界面に、樹脂中の水分の気化蒸気が集中し、ダイパッドから封止樹脂を底面側に押圧して全体が膨らんだような状態になり、それによつてパッケージクラックが発生することを突き止めた。そこで、本発明者らは、このような現象の発生防止についてさらに研究を重ねた結果、ダイパッドの表面積をシリコンチップの底面積よりも小さくすると、上記封止樹脂中

の水分の気化蒸気の集中現象が少なくなり、パッケージクラックの発生が防止されるようになることを見だしこの発明に到達した。

この発明の対象となる半導体装置は、半導体素子自体が偏平状であつて、その底面積が 60mm^2 以上、特に $60\text{mm}^2 \sim 400\text{mm}^2$ であり、その封止パッケージの厚みが $1.5\text{mm} \sim 4.0\text{mm}$ のようなものについて特に有効であり、そのような半導体装置におけるダイパッドの半導体素子設置面の寸法を 16mm^2 以下、特に $4\text{mm}^2 \sim 16\text{mm}^2$ に設定すると、先に述べたようなシリコンチップ底面側の半田加熱時の膨れの発生が防止され、パッケージクラックの発生が回避されるようになる。

上記の場合、そのパッケージのタイプは、フラットパッケージ、PLCC等の表面実装形のパッケージが特に効果的であるが、表面実装形だけに限るものではなくDIPタイプについても応用可能である。

なお、上記パッケージングに用いる封止樹脂としては、予備反応によりシランカップリング剤等

のシラン化合物が分子構造中に導入されているエポキシ樹脂もしくはフェノール樹脂(エポキシ樹脂硬化剤)と硬化促進剤等とを用いて得られたエポキシ樹脂組成物を用いることがパッケージクラック等の発生防止の観点から有効である。このような樹脂を用いると、封止樹脂とチップとの接着力が $0.5\text{kg}/\text{mm}^2$ 以上、封止樹脂とリードフレームとの接着力が $0.2\text{kg}/\text{mm}^2$ 以上のものになり、耐半田耐熱性の向上に効果的に寄与ようになる。

上記エポキシ樹脂組成物に用いるエポキシ樹脂は、特に制限するものではなく、クレゾールノボラック型、フェノールノボラック型やビスフェノールA型等の従来から半導体装置の封止樹脂として用いられている各種のエポキシ樹脂が用いられる。これらの樹脂のなかでも融点が室温を超えており、室温下では固形状もしくは高粘度の溶液状を呈するものを用いることが好結果をもたらす。ノボラック型エポキシ樹脂としては、代表的なクレゾールノボラック型エポキシ樹脂のほか、tert

ープチル基、メチル基等各種のアルキル基をフェノール部に付加したアルキル化フェノールノボラツク型エポキシ樹脂が一般に用いられる。これらのノボラツク型エポキシ樹脂としては、エポキシ当量が160~300、軟化点が50~130℃のものが採用される。

上記エポキシ樹脂とともに用いるフェノール樹脂は、上記エポキシ樹脂の硬化剤として作用するものであり、フェノールノボラツク、クレゾールノボラツクやその他ターシヤルブチル基等のアルキル基をフェノール部に付加したアルキル化フェノールノボラツク樹脂等が好適に用いられる。これらノボラツク樹脂としては軟化点が50~110℃、水酸基当量が70~180のものを用いることが好ましい。

硬化促進剤としては、従来から用いられている各種の硬化促進剤が用いられ、単独でもしくは併せて使用することができる。この種の硬化促進剤として、下記の三級アミン、四級アンモニウム塩、イミダゾール類およびホウ素化合物を好適な例

ベンジル-2-メチルイミダゾール、1-シアノエチル-2-ウンデシルイミダゾール
ホウ素化合物

テトラフェニルボロン、テトラフェニルボレート、N-メチルモルホリントラフェニルボレート

また、必要に応じて上記の原料以外に離型剤、無機質充填剤、三酸化アンチモン、リン系化合物等の難燃剤やシランカップリング剤のようなシラン化合物および顔料ならびにポリシロキサンを用いることができる。

この発明で用いる封止樹脂としては、先に述べたように、シランカップリング剤のようなシラン化合物を予備反応させてエポキシ樹脂やフェノール樹脂を予め変性し、これをエポキシ樹脂組成物の主成分として用いるものが好適であるが、上記のようなシラン変性エポキシ樹脂、フェノール樹脂とシランカップリング剤等のシラン化合物を適宜併用することが可能であり、この場合には、上記併用するシラン化合物は無機質充填剤の処理用

としてあげることができる。

三級アミン

トリエタノールアミン、テトラメチルヘキサジアミン、トリエチレンジアミン、ジメチルアニリン、ジメチルアミノエタノール、ジエチルアミノエタノール、2, 4, 6-(ジメチルアミノメチル)フェノール、N, N'-ジメチルピペラジン、ピリジン、ピコリン、1, 8-ジアザビスクロ(5, 4, 0)ウンデセン-7、ベンジルジメチルアミン、2-(ジメチルアミノ)メチルフェノール

四級アンモニウム塩

ドデシルトリメチルアンモニウムアイオダイド、セチルトリメチルアンモニウムクロライド、ベンジルジメチルテトラブチルアンモニウムクロライド、ステアリルトリメチルアンモニウムクロライド、

イミダゾール類

2-メチルイミダゾール、2-ウンデシルイミダゾール、2-エチルイミダゾール、1-

として使用することが行われる。

なお、上記離型剤としては、従来公知のステアリン酸、パルミチン酸等の長鎖カルボン酸、ステアリン酸亜鉛、ステアリン酸カルシウム等の長鎖カルボン酸の金属塩、カルナバワックス、モンタソワックス等のワックス類を用いることができる。

また、上記無機質充填剤としては、特に制限するものではなく、一般に用いられている石英ガラス粉末、タルク、シリカ粉末、アルミナ粉末等が適宜に用いられる。

上記封止に用いる樹脂は、先に述べたように、封止エポキシ樹脂組成物の主成分であるエポキシ樹脂、フェノール樹脂をシランカップリング剤等のシラン化合物と予備反応させ、変性させるものであつて、それによつて半導体チップ中におけるケイ素と封止樹脂中におけるケイ素とを酸素架橋させ、強固な接着力を発現させるものである。

上記変性用の化合物としては、アミノ基、メルカプト基、グリシジル基、水酸基、カルボキシル基等の官能基をもつたシラン化合物があげられる。

その代表例としては、つぎのようなものがある。

- ① N-(2-アミノエチル)3-アミノプロピルメチルジメトキシシラン
- ② N-(2-アミノエチル)3-アミノプロピルトリメトキシシラン
- ③ 3-アミノプロピルトリメトキシシラン
- ④ 3-アミノプロピルメチルジエトキシシラン
- ⑤ 3-グリシドキシプロピルトリメトキシシラン
- ⑥ 3-グリシドキシプロピルメチルジメトキシシラン
- ⑦ 2-(3,4-エポキシシクロヘキシル)エチルトリメトキシシラン
- ⑧ 3-メルカプトプロピルトリメトキシシラン

上記シラン化合物のうち①、②、③、④、⑥はエポキシ樹脂の変性に用いることができ、①、②、③、④、⑤、⑧、⑦はフェノール樹脂の変性に用いることができる。

面よりも小形に形成しているため、表面実装時における半田浸漬等の熱衝撃に対しても強い抵抗力を備えており、表面実装後に耐湿信頼性が低下するということがない。すなわち、この発明の半導体装置は、上記のような簡単な構成により、優れた耐半田熱衝撃性を備えており、極めて実用的価値が大である。

つぎに、実施例について比較例と併せて説明する。

(実施例1～7)

後記の第1表に示すサイズのダイパッドを備えたリードフレームを準備し、これに同表に示したチップサイズの半導体素子を載置した。そして、これを同表に示す組成の封止樹脂を用い、パッケージサイズが同表になるように樹脂封止した。この樹脂封止はモールドによつて行い、成形条件は175℃(2分)、後硬化は175℃(5時間)の条件で行った。これを第1図および第2図に示す。図において、1はパッケージ、2はツリピン、3はチップ、4はダイパッドである。このよう

上記変性の際の予備反応は、エポキシ樹脂もしくはフェノールノボラック系樹脂を軟化点以上、好適には130～170℃に加熱して行うことが望ましい。このとき、予備反応に使用するシラン化合物の量は、エポキシ樹脂組成物中における樹脂成分に対し0.03～15重量%(以下「%」と略す)内に設定することが望ましい。すなわち、上記範囲をはずれると良好な効果が得られにくくなるからである。特に、好適なのは0.15～3.0%の範囲内である。

上記のようにすることにより、封止樹脂と半導体チップとの接着力を著しく高めることができるのであるが、さらに、封止樹脂として170℃の曲げ弾性率が50～300 kg/mm²であるものを用いると、上記効果に、さらに封止樹脂の高温時における応力緩和効果が付加されるようになり、一層耐湿信頼性の向上効果が得られるようになる。

(発明の効果)

この発明の半導体装置は、以上のように、半導体素子を載置するダイパッドを、半導体素子の底

にして得られた半導体装置に対して、パッケージクラックを測定した。その結果は同表に示すとおりであり、いずれの実施例も良好な成績を示している。

なお、後記の第1表において、実施例1～4はフラットパッケージタイプであり、実施例5～7はDIPタイプである。

(以下 余 白)

第 1 表

実施例		1	2	3	4	5	6	7
パッケージ サイズ (mm)	W =1	14	14	14	14	14	14	14
	L =2	20	20	20	20	20	20	20
	T =3	2.3	2.0	2.0	2.3	3.0	3.0	3.0
ダイパッドサイズ W×L (mm)		4×4	4×4	5×5	5×5	3×5	3×3	3×5
チップサイズ W×L (mm)		9×9	10×10	8×8	9×9	5×15	5×15	4.5×14
封 止 樹 脂		MP-150SG *4	MP-75 *4	MP-10 *4	MP-10	MP-75	MP-150SG	MP-10
接 着 力	樹脂-チップ (kg/mm ²)	>0.5	>0.5	0.2	0.2	>0.5	>0.5	0.2
	樹脂-リード (kg/mm ²)	>0.2	0.1	>0.2	>0.2	0.1	>0.2	0.1
パッケージクラック		0/10	2/10	1/10	2/10	2/10	0/10	1/10

* 1 : 幅 * 2 : 長さ * 3 : 厚み
* 4 : 日東電工社製エポキシ樹脂成形材料 (以下の表でも同じ)

なお、第1表において、チップの接着力は、ブツシユブルゲージを用い剪断接着力として常温下で求めた。また、パッケージクラックの評価は、成形物を85℃/85%RHで48時間吸湿させ、その後、215℃の半田浴に10秒間浸漬しパッケージクラックの発生の有無で判定した(以下の表でも同様である)。

(比較例1~4)

リードフレームとしてダイパッドの大きさが、第2表に示すように、チップより大きい従来のものを用い、上記対応する実施例1~4と同じ条件で成形しサンプルを作製した。これを第3図および第4図に示す。図において、1はパッケージ、2はツリピン、3はチップ、4はダイパッドである。そして、このサンプルについて実施例と同様にして性能試験を行った結果を後記の第2表に示す。

(以下空白)

第 2 表

比較例	1							
	2	3	4	2	3	4	2	3
	W	14	14	14	14	14	14	14
	L	20	20	20	20	20	20	20
	T	2.3	2.0	2.0	2.3	3.0	2.3	3.0
パッケージ サイズ (mm)	W×L	11×11	8×8	9.5×9.5	5×15	4.8×14.8	MP-150SG	MP-150SG
ダイパッドサイズ W×L (mm)	W×L	9×9	7.8×7.8	MP-10	MP-75	MP-10	MP-75	MP-10
チップサイズ W×L (mm)	W×L	9×9	7.8×7.8	MP-10	MP-75	MP-10	MP-75	MP-10
封 止 樹 脂	封 止 樹 脂	MP-150SG	MP-10	MP-75	MP-10	MP-75	MP-10	MP-75
接着力	樹脂-チップ (kg/mm ²)	>0.5	0.2	>0.5	>0.5	>0.5	>0.5	>0.5
	樹脂-リード (kg/mm ²)	>0.2	>0.2	0.1	0.1	0.1	0.1	0.1
パッケージクラック	パッケージクラック	9/10	10/10	10/10	10/10	10/10	10/10	8/10

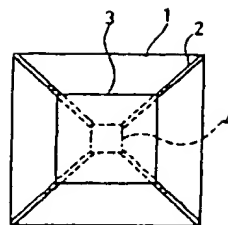
第2表から明らかなように、比較例品は実施例品に比べてパッケージクラックの発生量が大幅に増加していることがわかる。

4. 図面の簡単な説明

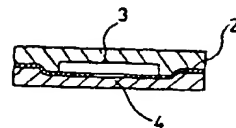
第1図はこの発明の一実施例の平面図、第2図はその断面図、第3図は従来例の平面図、第4図はその断面図である。

1…パッケージ 2…ツリピン 3…チップ
4…ダイパッド

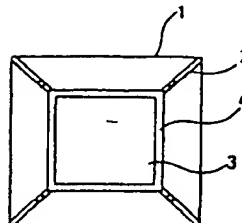
特許出願人 日東電気工業株式会社
代理人 弁理士 西 藤 征 彦



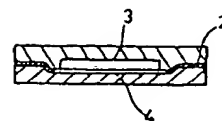
第1図



第2図



第3図



第4図